

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **02-026062**

(43)Date of publication of application : **29.01.1990**

(51)Int.Cl.

H01L 27/06
H01L 21/331
H01L 29/73

(21)Application number : **63-175980**

(71)Applicant : **MATSUSHITA ELECTRON CORP**

(22)Date of filing : **14.07.1988**

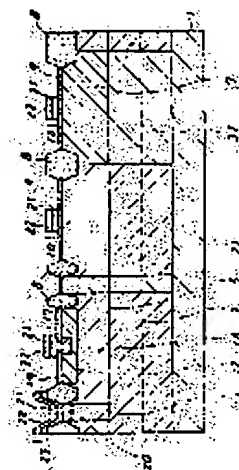
(72)Inventor : **YAMAOKA TORU**

(54) MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To simplify a process by making a conductive film of one layer and simultaneously forming a gate electrode and an emitter electrode.

CONSTITUTION: A polycrystalline silicon film 21 and a low-resistance silicide film 22 are made to grow for making a so-called polycide construction, while this is selectively etched by simultaneously forming a gate electrode 10 on a gate oxide film of a MOS transistor, an emitter electrode 17 coming into contact therewith on an emitter region 18 of an NPN transistor and a collector electrode 23 coming into contact therewith on a collector contact region 20. In this way, the gate electrode 10 and the emitter electrode 17 are simultaneously formed so that a process can be simplified.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑫ 公開特許公報(A)

平2-26062

⑤ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)1月29日

H 01 L 27/06
21/331
29/737735-5F H 01 L 27/06 3 2 1 A
8526-5F 29/72

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 半導体集積回路の製造方法

⑯ 特 願 昭63-175980

⑰ 出 願 昭63(1988)7月14日

⑱ 発 明 者 山 岡 徹 大阪府門真市大字門真1006番地 松下電子工業株式会社内
 ⑲ 出 願 人 松下電子工業株式会社 大阪府門真市大字門真1006番地
 ⑳ 代 理 人 弁理士 森本 義弘

明 細 書

1. 発明の名称

半導体集積回路の製造方法

2. 特許請求の範囲

1. MOSトランジスタのソースおよびドレイン形成予定領域上にゲート酸化膜となるシリコン酸化膜を形成する工程と、NPNトランジスタのエミッタおよびベース形成予定領域上にゲート酸化膜よりも厚いシリコン酸化膜を形成する工程と、n型の不純物を選択的にイオン注入してベース領域およびコレクタウオール層にエミッタ領域およびコレクタコンタクト領域を形成する工程と、前記ゲート酸化膜上と前記エミッタ領域上および前記コレクタコンタクト領域上とにポリサイド膜を形成する工程と、前記ポリサイド膜を選択的にエッチングすることによりMOSトランジスタのゲート電極とNPNトランジスタのエミッタ電極およびコレクタ電極を同時に形成する工程と、PチャンネルMOSトランジスタのソース領域およびドレイン領域

とNPNトランジスタのグラフトベース領域とを同時に自己整合的に形成する工程とを備えた半導体集積回路の製造方法。

3. 発明の詳細な説明

産業上の利用分野

本発明は、同一半導体基板内にバイポーラトランジスタとMOSトランジスタを形成する半導体集積回路の製造方法に関するものである。

従来の技術

バイポーラトランジスタとCMOS(相補形MOS)トランジスタを同一半導体基板内に集積化した従来の半導体集積回路は、第2図に示すような構造をしている。以下、第2図を参照して従来の半導体集積回路の構造とその製造方法の一例について説明する。

まず、n型埋め込み領域2、21およびp型埋め込み領域3、31が選択的に形成されたp型単結晶シリコン基板1の上に、比抵抗が1~5Ωcmのn型シリコンエピタキシャル層4を形成し、n型不純物の拡散でn型埋め込み領域2、21の上にはこれ

に接するNウェル領域5を、またp型不純物の拡散でp型埋め込み領域3の上にはこれに接するp型分離領域6を形成し、また、p型埋め込み領域31の上にはPウェル領域7を形成する。さらに選択酸化法により、厚いシリコン酸化膜を成長させて素子分離領域8を形成する。その後、ゲート酸化膜となる薄いシリコン酸化膜9を形成し、さらにこの上に多結晶シリコンなどの導電膜を選択的に形成してゲート電極10を形成する。次に、n型不純物の拡散によりn型埋め込み領域2上のNウェル領域5にNPNトランジスタのコレクタウォール層11を形成し、さらにp型の不純物をn型埋め込み領域2上のNウェル領域5に選択的にイオン注入してベース領域12を形成する。次にn型の不純物をp型埋め込み領域31上のPウェル領域7に選択的にイオン注入してNチャンネルMOSトランジスタのn⁺ソース領域13およびn⁺ドレイン領域113を形成し、さらに、シリコン酸化膜などによりゲート電極10に側壁14を形成した後、n型の不純物を選択的にイオン注入し、n⁺ソース領域13

およびn⁺ドレイン領域113に隣接してNチャンネルMOSトランジスタのn⁺ソース領域15およびn⁺ドレイン領域115を形成することにより、NチャンネルMOSトランジスタのLDD(Lightly Doped Drain)構造を形成する。さらに、p型の不純物をn型埋め込み領域21上のNウェル領域5に選択的にイオン注入して、PチャンネルMOSトランジスタのソース領域16およびドレイン領域116を形成する。次に、多結晶シリコンなどを第2の導電膜として選択的に形成してエミッタ電極17を形成する。エミッタの拡散層18は、通常エミッタ電極17である第2の導電膜からの拡散により形成される。

発明が解決しようとする課題

このような従来の製造方法では、MOSトランジスタのゲート電極10とNPNトランジスタのエミッタ電極17を形成するために二層の導電膜を必要とし、工程が複雑になるという問題があった。また、NPNトランジスタのグラフトベースが自己整合的に形成できないという問題があった。

本発明は上記問題を解決するもので、MOSトランジスタのゲート電極とNPNトランジスタのエミッタ電極を同時に形成して工程を簡略化でき、また、NPNトランジスタのグラフトベースをPチャンネルMOSトランジスタのソースおよびドレイン形成時に同時にかつ自己整合的に形成できる半導体装置の製造方法を提供することを目的とするものである。

課題を解決するための手段

上記問題を解決するために本発明は、MOSトランジスタのソースおよびドレイン形成予定領域上にゲート酸化膜となるシリコン酸化膜を形成する工程と、NPNトランジスタのエミッタおよびベース形成予定領域上にゲート酸化膜よりも厚いシリコン酸化膜を形成する工程と、n型の不純物を選択的にイオン注入してベース領域およびコレクタウォール層にエミッタ領域およびコレクタコンタクト領域を形成する工程と、前記ゲート酸化膜上と前記エミッタ領域上および前記コレクタコンタクト領域上とにポリサイド膜を形成する工程

と、前記ポリサイド膜を選択的にエッチングすることによりMOSトランジスタのゲート電極とNPNトランジスタのエミッタ電極およびコレクタ電極を同時に形成する工程と、PチャンネルMOSトランジスタのソース領域およびドレイン領域とNPNトランジスタのグラフトベース領域とを同時に自己整合的に形成する工程とを備えたものである。

作用

上記構成により、MOSトランジスタのゲート電極とNPNトランジスタのエミッタ電極を形成する導電膜を一層にして、ゲート電極とエミッタ電極を同時に形成することができ、さらに、Pチャンネルトランジスタのソース領域およびドレイン領域の形成と同時に、エミッタ電極をマスクにしてNPNトランジスタのグラフトベースを自己整合的に形成することができるものであり、NPNトランジスタの高速化が可能となる。

実施例

以下本発明の一実施例を図面に基づいて説明す

る。

第1図は本発明の一実施例の半導体集積回路の製造方法の工程流れ図を示し、これを用いてその製造方法を説明する。まず、第1図(a)に示すように、n型埋め込み領域2、21およびp型埋め込み領域3、31が選択的に形成されたp型単結晶シリコン基板1の上に、比抵抗が1~5 Ω cmのn型シリコンエピタキシャル層4を形成し、n型不純物の拡散でn型埋め込み領域2、21の上にはこれに繋がるNウェル領域5を、また、p型不純物の拡散でp型埋め込み領域3の上にはこれに繋がるp型分離領域6を形成し、また、p型埋め込み領域31の上にはPウェル領域7を形成する。さらに、選択酸化法により厚いシリコン酸化膜を成長させ、素子分離領域8を形成する。

次に第1図(b)に示すように、n型不純物の拡散によりNPNトランジスタのコレクタウオール層11を形成した後、MOSトランジスタのソースおよびドレイン形成予定領域上にゲート酸化膜となる薄いシリコン酸化膜9を形成し、さらにこの上

にイオン注入してNチャンネルMOSトランジスタのn⁺ソース領域13およびn⁺ドレイン領域113を形成し、さらにシリコン酸化膜などによりゲート電極10、エミッタ電極17およびコレクタ電極23に側壁14を形成した後、n型の不純物を選択的にイオン注入し、n⁺ソース領域13およびn⁺ドレイン領域113に隣接してNチャンネルMOSトランジスタのn⁺ソース領域15およびn⁺ドレイン領域115を形成することにより、NチャンネルMOSトランジスタのLDD構造を形成する。さらに、p型の不純物をn型埋め込み領域21上のNウェル領域5および活性ベース領域12に選択的にイオン注入して、PチャンネルMOSトランジスタのソース領域16およびドレイン領域116と、NPNトランジスタのグラフトベース領域24とを同時に自己整合的に形成する。

この後、図示していないが、基板表面に酸化シリコン膜を形成し、グラフトベース領域24とNチャンネルMOSトランジスタのn⁺ソース領域15とn⁺ドレイン領域115とPチャンネルMOSトラン

ジスタのソース領域16およびドレイン領域116にコンタクト窓を形成し、このコンタクト窓にアルミニウムの電極を形成することにより、Bi-CMOSの集積回路を完成する。

次に第1図(c)に示すように、n型の不純物をp型埋め込み領域31上のPウェル領域7に選択的に

イオン注入して、p型埋め込み領域31上のPウェル領域7に選択的に

発明の効果

以上のように本発明の半導体集積回路の製造方法によれば、MOSトランジスタのゲート電極とエミッタ電極を同時に形成することが可能となり、工程が簡略化される。また、NPNトランジスタのグラフトベースをPチャンネルMOSトランジスタのソースおよびドレイン形成時に同時にかつ自己整合的に形成することが可能となり、容易にNPNトランジスタの高速化が図れる。また、エミッタ電極とゲート電極をポリサイド構造にすることにより、素子の高速化が図れる。

4 図面の簡単な説明

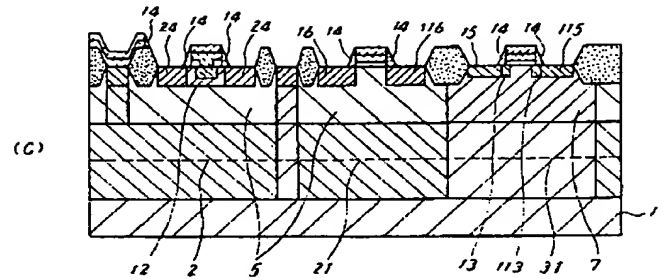
第1図(a)~(c)は本発明の一実施例による半導体集積回路の製造方法を示す工程流れ図、第2図は従来の半導体集積回路の構造を示す断面図である。

1…p型単結晶シリコン基板、2、21…n型埋

め込み領域、3,31…p型埋め込み領域、4…n型シリコンエピタキシャル層、5…Nウェル領域、6…p型分離領域、7…Pウェル領域、8…素子分離領域、9…薄いシリコン酸化膜、10…ゲート電極、11…NPNトランジスタのコレクタウオール層、12…NPNトランジスタの活性ベース領域、13…NチャンネルMOSトランジスタのn⁺ソース領域、113…NチャンネルMOSトランジスタのn⁺ドレイン領域、14…電極の側壁、15…NチャンネルMOSトランジスタのn⁺ソース領域、115…NチャンネルMOSトランジスタのn⁺ドレイン領域、16…PチャンネルMOSトランジスタのソース領域、116…PチャンネルMOSトランジスタのドレイン領域、17…エミッタ電極、18…エミッタ領域、19…厚いシリコン酸化膜、20…コレクタコンタクト領域、21…多結晶シリコン膜、22…低抵抗シリサイド膜、23…コレクタ電極、24…NPNトランジスタのグラフトベース領域。

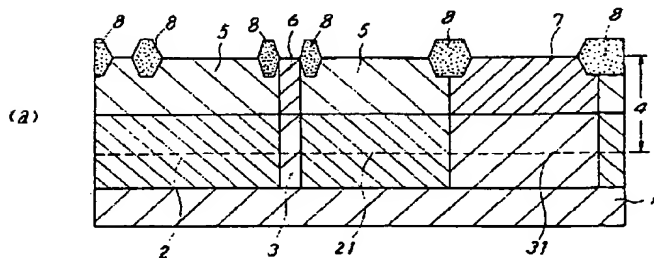
代理人 森 本 義 弘

第1図(その2)

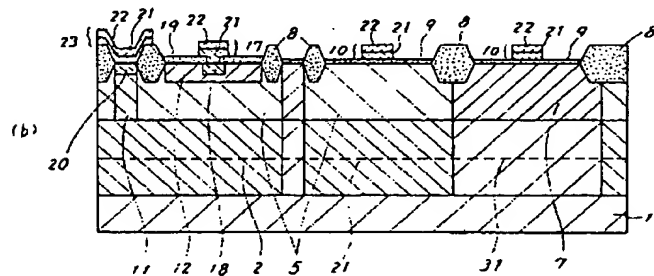


13…NチャンネルMOSトランジスタのn⁺ソース領域
113…NチャンネルMOSトランジスタのn⁺ドレイン領域
14…ゲート、エミッタ、コレクタの各電極の側壁
15…NチャンネルMOSトランジスタのn⁺ソース領域
115…NチャンネルMOSトランジスタのn⁺ドレイン領域
16…PチャンネルMOSトランジスタのソース領域
116…PチャンネルMOSトランジスタのドレイン領域
24…NPNトランジスタのグラフトベース領域

第1図(その1)



1…P型単結晶シリコン基板
2,21…n型埋め込み領域
3,31…P型埋め込み領域
4…n型シリコンエピタキシャル層
5…Nウェル領域
6…P型分離領域
7…Pウェル領域
8…素子分離領域
9…シリコン酸化膜
10…ゲート電極
11…コレクタウオール層
12…ベース領域
17…エミッタ電極
18…エミッタ領域
19…シリコン酸化膜
20…コレクタコンタクト領域
21…多結晶シリコン膜
22…低抵抗シリサイド膜
23…コレクタ電極



第2図

